

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-334213

(43)Date of publication of application : 17.12.1993

(51)Int.Cl.

G06F 13/00

G06F 13/28

H04L 12/40

(21)Application number : 04-138825

(71)Applicant : FUJITSU LTD
PFU LTD

(22)Date of filing : 29.05.1992

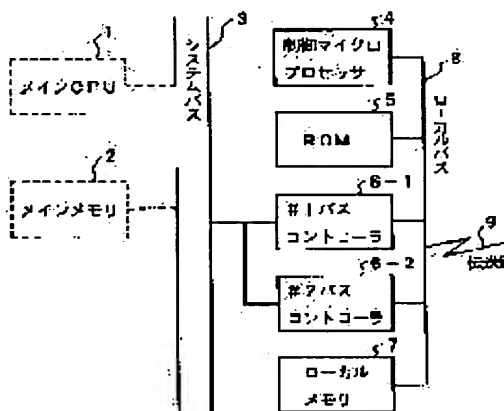
(72)Inventor : YAMAMOTO YUJI
KAWAHARA MAYUMI

(54) DATA COMMUNICATION SYSTEM

(57)Abstract:

PURPOSE: To speed up data transfer between a repeating local memory and a main memory at the time of transmitting/receiving transfer data.

CONSTITUTION: In a data communication system, the data are transmitted/ received to/from a main memory 2 connected with a system bus 3 through a local memory 7 connected with a local bus 8 to a transmission path 9, and from the transmission path 9 to the main memory 2. This system is equipped with two #1 and #2 bus controller 6-1 and 6-2 control the connection of the system bus 3 with the local bus 8. When one of the two #1 and #2 bus controllers 6-1 and 6-2 makes access to the main memory 2, the other makes access to the local memory 7, and a little more than data amounts of a half of the data amounts to be transferred are processed when the bus controller side previously activated is compared with the bus controller to be activated later.



LEGAL STATUS

[Date of request for examination] 07.05.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3251053

[Date of registration] 16.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3251053号
(P3251053)

(45)発行日 平成14年1月28日(2002.1.28)

(24)登録日 平成13年11月16日(2001.11.16)

(51)Int.Cl. ⁷	識別記号	F I	
H 0 4 L 13/08		H 0 4 L 13/08	
G 0 6 F 13/00	3 5 3	G 0 6 F 13/00	3 5 3 Q
13/28	3 1 0	13/28	3 1 0 G
H 0 4 L 12/40		H 0 4 L 11/00	3 2 0

請求項の数1(全 6 頁)

(21)出願番号	特願平4-138825	(73)特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1 番1号
(22)出願日	平成4年5月29日(1992.5.29)	(73)特許権者	000136136 株式会社ピーエフユー 石川県河北郡宇ノ気町宇野気ヌ98番地 の2
(65)公開番号	特開平5-334213	(72)発明者	山本 祐史 石川県河北郡宇ノ気町宇野気ヌ98番地 の2 株式会社ピーエフユー内
(43)公開日	平成5年12月17日(1993.12.17)	(74)代理人	100074848 弁理士 森田 寛 (外2名)
審査請求日	平成11年5月7日(1999.5.7)	審査官	石井 研一

最終頁に続く

(54)【発明の名称】 データ通信方式

1

(57)【特許請求の範囲】

【請求項1】 システムバスに接続されるメインメモリと、ローカルバスに接続されるローカルメモリと、メインメモリとシステムバス及びローカルメモリとローカルバスとの両者の接続制御を行うバスコントローラとを備え、上記ローカルメモリを介しメインメモリから伝送路及び伝送路からメインメモリへデータの送受信を行うデータ通信方式において、上記バスコントローラを2つのバスコントローラで構成すると共に、当該2つのバスコントローラは、一方がメインメモリをアクセスしているとき他方はローカルメモリをアクセスし、かつ、先に起動されるバスコントローラ側は後から起動されるバスコントローラ側に比べ転送すべきデータ量をその1/2より多く受け持つ構成となし、データの転送処理に要する時間を短縮化するようにしたことを特徴とするデータ通

2

信方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、データ通信方式、特に2つのバスコントローラを備え、一方のバスコントローラがメインメモリをアクセスしている間に他方のバスコントローラがローカルメモリをアクセスする並列処理を行い、かつ先に起動するバスコントローラ側に転送すべきデータ量の1/2より若干多く転送データを受け持たせ、データ転送を高速化したデータ通信方式に関するものである。

【0002】

【従来の技術】例えば高速LAN通信装置では、装置内で多くのデータ転送が行われるが、そのデータ転送は次の様な構成で行われていた。

【0003】図6は従来のLAN制御装置の構成図を示しており、メインメモリ2に格納されているデータを送信する場合、一旦LAN制御装置のローカルメモリ7に格納し、図示されていないインタフェースを介して伝送路9に乗せて転送先へデータ転送していた。

【0004】このメインメモリ2からローカルメモリ7へのデータ転送は、バスコントローラ6がDMA割込みを掛け、システムバス3及びローカルバス8を確保した上でメインメモリ2をアクセスしてデータを読み出し、次のサイクルでこのメインメモリ2から読み出されたデータをローカルメモリ7に書き込むというDMAによるデータ転送処理を何回か繰返すことにより、送信すべきデータ長bcの一連のデータを転送していた。

【0005】なお、同図の1はメインCPU、4は制御マイクロプロセッサ、5はROMである。伝送路9から送られて来たデータをメインメモリ2に受信するに当たっても、上記と逆向きにローカルメモリ7からメインメモリ2へデータ転送を行い、受信データの格納が行われていた。

【0006】

【発明が解決しようとする課題】図6に示された従来のLAN制御装置の構成では、バスコントローラ6がメインメモリ2側をアクセスしている間ローカルメモリ7側は遊んで待っており、また逆にバスコントローラ6がローカルメモリ7側をアクセスしている間メインメモリ2側は遊んで待っているため、データ転送に時間がかかり、効率的なデータ転送がされていない欠点があった。

【0007】本発明は、上記の欠点を解決することを目的としており、バスコントローラを2個設け、一方のバスコントローラがメインメモリをアクセスしている間に他方のコントローラがローカルメモリをアクセスする構成にすると共に、先に起動するバスコントローラ側に転送データ長の半分より若干多くデータ転送を受け持たせるようにして、データ転送処理の高速化をはかるようにしたデータ通信方式を提供することを目的としている。

【0008】

【課題を解決するための手段】上記の目的を達成するために、本発明のデータ通信方式は、システムバスに接続されるメインメモリと、ローカルバスに接続されるローカルメモリと、メインメモリとシステムバス及びローカルメモリとローカルバスとの両者の接続制御を行うバスコントローラとを備え、上記ローカルメモリを介してメインメモリから伝送路及び伝送路からメインメモリへデータの送受信を行うデータ通信方式において、上記バスコントローラを2つのバスコントローラで構成すると共に、当該2つのバスコントローラは、一方がシステムバスを介してメインメモリをアクセスしているとき他方はローカルバスを介してローカルメモリをアクセスし、かつ先に起動されるバスコントローラ側は後から起動されるバスコントローラ側に比べ転送すべきデータを若干多

く受け持つ構成となし、データの転送処理に要する時間を短縮化するようにしたことを特徴としている。

【0009】

【作用】2つのバスコントローラがあるので、一方のバスコントローラがメインメモリからデータを読み出している間に、他方のバスコントローラはローカルメモリにデータを書き込むことができ、かつ先に起動したバスコントローラ側にデータ転送量を若干多く受け持たせていることにより、DMAデータ転送終了がほぼ同時に終り、両者のDMA終了のずれがなくなるので、データ転送速度が向上する。

【0010】

【実施例】図1は本発明に係るデータ通信方式の一実施例構成、図2は本発明のデータ転送分担説明図である。

【0011】図1において、符号1ないし5、7ないし9は図6のものに対応し、6-1は#1バスコントローラ、6-2は#2バスコントローラを表わしている。#1バスコントローラ6-1と#2バスコントローラ6-2とは、どちらか一方がシステムバス3を占有することができるようになっており、またどちらか一方がローカルバス8に対しても占有することができるようになって

いる。

【0012】従って、#1バスコントローラ6-1及び#2バスコントローラ6-2が、システムバス3及びローカルバス8を占有しているとき、#1バスコントローラ6-1がメインメモリ2をアクセスしデータを読み出す処理と、#2バスコントローラ6-2がローカルメモリ7をアクセスしデータを書き込む処理とを並列して実行することができる。

【0013】また、図2に示されている様に、メインメモリ2に格納されている先頭アドレスがXでデータ長がbcのデータを伝送路9に乗せて送信する場合、先に起動する、例えば#1バスコントローラ6-1にデータ長の半分 $bc/2$ より多い $bc/2 + \alpha$ の量のデータ転送を受け持たせ、後から起動する#2バスコントローラ6-2に $bc/2 - \alpha$ の量のデータ転送を受け持たせるように設定する。 α は#1バスコントローラ6-1及び#2バスコントローラ6-2が1サイクルで読み出し又は書き込みができるデータ量である。

【0014】先に起動する#1バスコントローラ6-1が上記受け持たされた転送分データの先頭アドレスXでメインメモリ2に対し読み出しのアクセスを行い、読み出されたデータを#1バスコントローラ6-1の図示されていないバッファに一旦格納する。次のサイクルで#1バスコントローラ6-1はバッファに一旦格納しているデータをローカルメモリ7の所定のアドレスに書き込む。

【0015】#1バスコントローラ6-1に比べ後から起動される#2バスコントローラ6-2は、#1バスコントローラ6-1がローカルメモリ7に書き込み処理を行う当該サイクルで、メインメモリ2から当該#2バスコ

ントローラ6-2に受け持たされた転送分データの先頭アドレス $Y(Y=X+bc/2+\alpha)$ に格納されているデータを読み出し、その読み出されたデータを#2バスコントローラ6-2の図示されていないバッファに一旦格納する。

【0016】そして次のサイクルで、#1バスコントローラ6-1は、メインメモリ2から次のアドレス $X+1$ に格納されているデータの読み出しを行い、一方#2バスコントローラ6-2は、当該#2バスコントローラ6-2のバッファに一旦格納されているデータをローカルメモリ7の所定のアドレスに書込む。

【0017】以下同様に、#1バスコントローラ6-1及び#2バスコントローラ6-2で、一方のバスコントローラがメインメモリ2から転送データの読み出し処理を行っているとき、他方のバスコントローラは並列してローカルメモリ7に転送データの書き込み処理を行う。

【0018】本発明での特徴は、上記説明の如く、先に起動される#1バスコントローラ6-1のデータ転送分が転送データ長 bc の $1/2$ とせずに $bc/2+\alpha$ とし、後から起動される#2バスコントローラ6-2のデータ転送分より若干多くした点である。

【0019】今、#1バスコントローラ6-1及び#2バスコントローラ6-2に、図4図示の如く等分にデータ転送を受け持たせるように設定した場合、図5に示されている様に、後から起動される#2バスコントローラ6-2は、先に起動された#1バスコントローラ6-1よりも数ステップ遅れてDMAが始まり、先に起動された#1バスコントローラ6-1はDMAが早く終了する。つまりDMA終了タイミングのずれが生じる。

【0020】この様に#1バスコントローラ6-1と#2バスコントローラ6-2とのDMA終了タイミングのずれは、#1バスコントローラ6-1のDMA終了割込みと#2バスコントローラ6-2のDMA終了割込みとの2回のDMA終了割込みが行われることになり、メインCPU1から見ると、上記2回のDMA終了割込みでバスコントローラによるデータ転送の割込みが終了したものとなる。

【0021】これに対し上記本発明では、#1バスコントローラ6-1のDMA終了と#2バスコントローラ6-2のDMA終了とのずれが解消し、#1バスコントローラ6-1のDMA終了でもって#2バスコントローラ6-2のDMA終了と見なすことができる。従って#1バスコントローラ6-1側の1回のDMA終了割込みで、#1バスコントローラ6-1及び#2バスコントローラ6-2の2個のバスコントローラによるデータ転送処理の終了が可能となる。

【0022】従ってDMA終了処理の実ステップ数が減少し、その結果DMA終了処理時間の減少により、データ転送速度が高速化する。ローカルメモリ7に格納された転送データは、図示されていないインタフェースを介

して伝送路9に乗せられ、転送先に送信される。

【0023】次にバスコントローラによるデータ転送終了時の処理の仕方を、図3のフローチャートを用いて説明する。#1バスコントローラ6-1又は#2バスコントローラ6-2からDMA終了割込みが掛けられると(ステップ1)、メインCPU1は#1バスコントローラ6-1がそのDMA処理を終了しているか否かの確認をする(ステップ2)。#1バスコントローラ6-1のDMA処理が終了しているとき、メインCPU1は#1バスコントローラ6-1側の割込みかきとりを行い(ステップ3)、DMA終了済みのフラグをオンにする(ステップ4)。

【0024】ステップ2で#1バスコントローラ6-1がまだそのDMA処理を終了していないとき、メインCPU1は#2バスコントローラ6-2がそのDMA処理を終了しているか否かの確認をする(ステップ5)。#2バスコントローラ6-2のDMA処理が終了しているとき、メインCPU1は#2バスコントローラ6-2側の割込みかきとりを行い(ステップ6)、DMA終了済みのフラグをオンにする(ステップ7)。

【0025】ステップ5で#2バスコントローラ6-2がそのDMA処理を終了していないとき、誤まったDMA終了割込みが到来したものとしてメインCPU1は割込み処理から復帰し、再度の割込みを待つ(ステップ8)。

【0026】一方、メインCPU1に対し#1バスコントローラ6-1又は#2バスコントローラ6-2から正規にDMA割込みが掛っているとき、#1バスコントローラ6-1側の上記DMA終了済みのフラグがオンかどうかをメインCPU1は確認する(ステップ9)。当該#1バスコントローラ6-1側のDMA終了済みのフラグがオンのとき、メインCPU1は#2バスコントローラ6-2側の上記DMA終了済みのフラグがオンかどうかを確認する(ステップ10)。当該#2バスコントローラ6-2側のDMA終了済みフラグがオンのとき、メインCPU1は2個の#1、#2バスコントローラ6-1、6-2によるデータ転送は終了したものとして(ステップ11)、当該データ転送による割込みから復帰し(ステップ12)、割込み前の元のプログラムに戻り、そのプログラムの内容を実行する。

【0027】ステップ9で#1バスコントローラ6-1側のDMA終了済みフラグがオンでないときには、ステップ2に戻り、又ステップ10で#2バスコントローラ6-2側のDMA終了済みフラグがオンでないときには、ステップ5に戻る。

【0028】この様にして1回のDMA終了割込みで#1、#2バスコントローラ6-1、6-2の各DMA処理の終了が確認されるので、上記DMA終了処理の実ステップが減少し、DMA終了処理時間が短縮化する。

【0029】以上の説明はメインメモリ2からローカル

メモリ7へのデータ転送について述べたが、伝送路9からローカルメモリ7へデータが格納され、当該ローカルメモリ7に格納されたデータをメインメモリ2にデータ転送する場合についても、同様な処理が行われる。

【0030】従って送信、受信の両オペレーションが上記の理由によって速くなり、データ転送速度の高速化したデータ通信が可能となる。

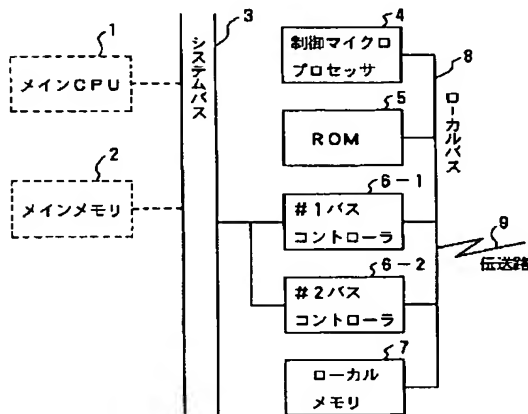
【0031】

【発明の効果】以上説明した如く、本発明によれば、2つのバスコントローラを設け、かつ先に起動されるバスコントローラ側に後から起動されるバスコントローラ側よりも転送すべきデータ量を若干多く受け持たせてデータ転送を行うようにしたので、転送すべきデータを半分ずつ分担するものに比べてもDMA終了処理時間が減少し、従ってデータ転送が高速化するデータ通信方式となる。

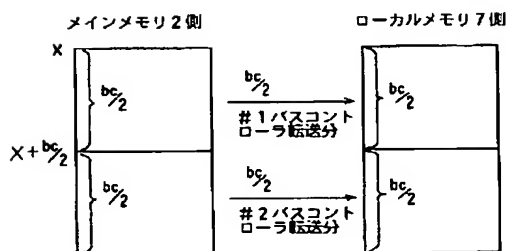
【図面の簡単な説明】

【図1】本発明に係るデータ通信方式の一実施例構成で＊

【図1】



【図4】



＊ある。

【図2】本発明のデータ転送分担説明図である。

【図3】本発明のデータ転送終了時の一実施例フローチャートである。

【図4】転送データを等分に分担する場合のデータ転送分担説明図である。

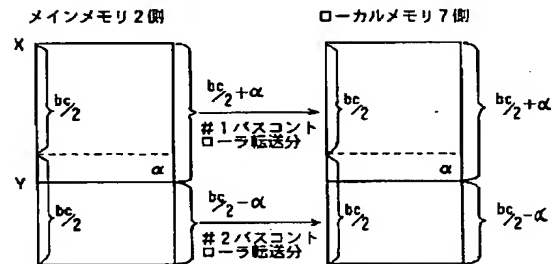
【図5】DMA処理終了説明図である。

【図6】従来のLAN制御装置の構成図である。

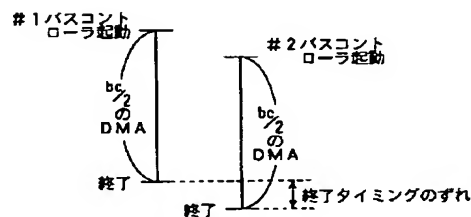
【符号の説明】

- 1 メインCPU
- 2 メインメモリ
- 3 システムバス
- 6 バスコントローラ
- 6-1 #1バスコントローラ
- 6-2 #2バスコントローラ
- 7 ローカルメモリ
- 8 ローカルバス
- 9 伝送路

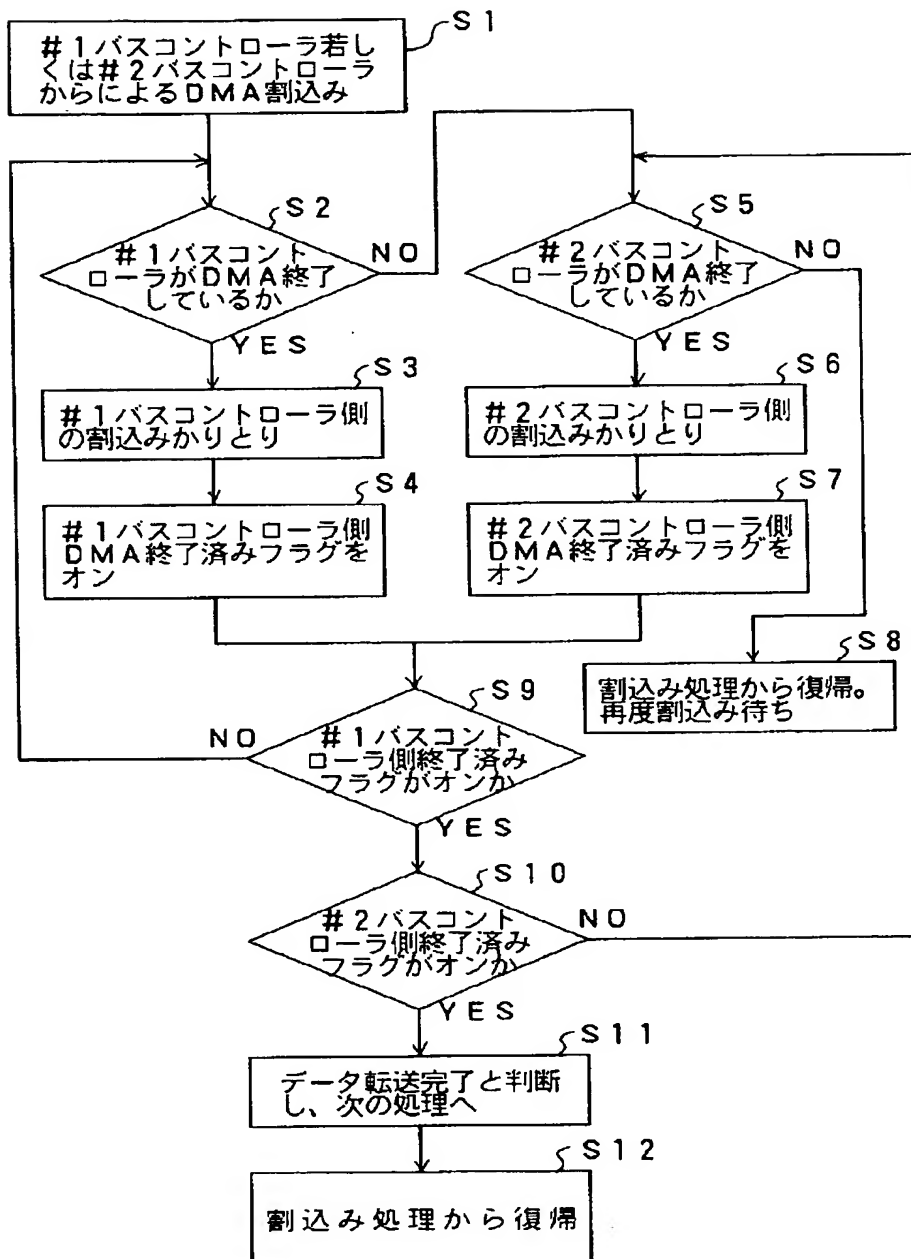
【図2】



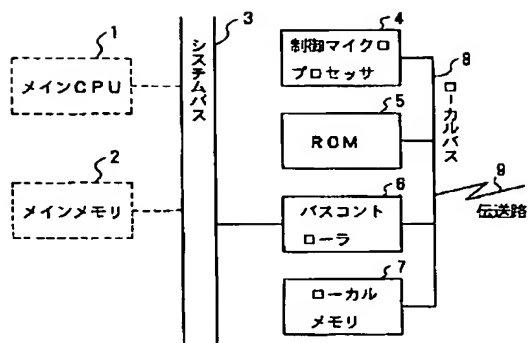
【図5】



〔図3〕



【図6】



フロントページの続き

(72)発明者 河原 真弓
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(56)参考文献 特開 平1-316855(JP,A)
特開 平4-38554(JP,A)
特開 平4-57141(JP,A)
特開 平4-245357(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H04L 13/08

H04L 12/40